

PCT

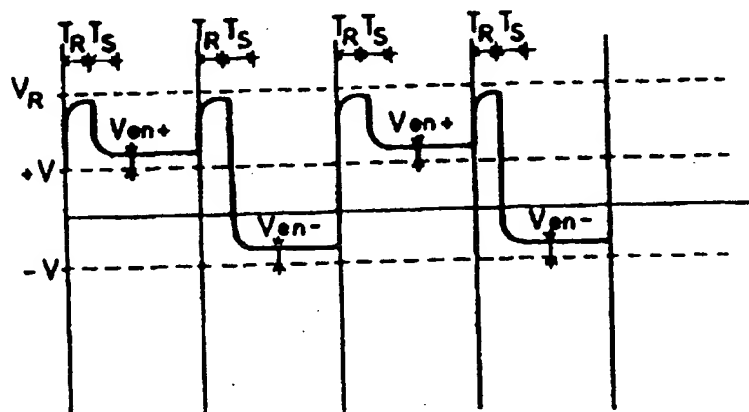
ORGANISATION MONDIALE DE LA PROPRIÉTÉ INTELLECTUELLE  
Bureau international

DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets <sup>6</sup> : G09G 3/36	A1	(11) Numéro de publication internationale: WO 97/25706 (43) Date de publication internationale: 17 juillet 1997 (17.07.97)
(21) Numéro de la demande internationale: PCT/FR97/00039 (22) Date de dépôt international: 9 janvier 1997 (09.01.97) (30) Données relatives à la priorité: 11 janvier 1996 (11.01.96) FR 96/00259 (71) Déposant (pour tous les Etats désignés sauf US): THOMSON-LCD [FR/FR]; 173, boulevard Haussmann, F-75008 Paris (FR). (72) Inventeurs; et (75) Inventeurs/Déposants (US seulement): MAURICE, François [FR/FR]; Thomson Multimedia, F-92050 Paris-La Défense Cédex (FR). SANSON, Eric [FR/FR]; Thomson Multimedia, F-92050 Paris-La Défense Cédex (FR). MOUREY, Bruno [FR/FR]; Thomson Multimedia, F-92050 Paris-La Défense Cédex (FR). LEBRUN, Hugues [FR/FR]; Thomson Multimedia, F-92050 Paris-La Défense Cédex (FR). (74) Mandataire: THOMSON MULTIMEDIA; F-92050 Paris-La Défense Cédex (FR).	(81) Etats désignés: JP, KR, US, brevet européen (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Publiée Avec rapport de recherche internationale.	

(54) Title: METHOD FOR ADDRESSING A FLAT SCREEN USING PIXEL PRECHARGING, DRIVER FOR CARRYING OUT THE METHOD, AND USE THEREOF IN LARGE SCREENS

(54) Titre: PROCÉDE D'ADRESSAGE D'UN ECRAN PLAT UTILISANT UNE PRECHARGE DES PIXELS, CIRCUIT DE COMMANDE PERMETTANT LA MISE EN OEUVRE DU PROCÉDE ET SON APPLICATION AUX ECRANS DE GRANDES DIMENSIONS



## (57) Abstract

A method for addressing a flat screen consisting of rows and columns with pixels at the intersections thereof, wherein, at the start of each sampling of the video signal to be displayed on the screen, a voltage ( $V_R$ ) higher than the useful voltage range ( $V$ ) is applied to the selected pixel for a time  $t_r$ , whereafter the useful voltage is sampled for a time  $t_s$ . The invention is useful for LCD drivers.

**PROCEDE D'ADRESSAGE D'UN ECRAN PLAT UTILISANT  
UNE PRECHARGE DES PIXELS, CIRCUIT DE COMMANDE  
PERMETTANT LA MISE EN OEUVRE DU PROCEDE ET SON  
APPLICATION AUX ECRANS DE GRANDES DIMENSIONS**

5

La présente invention concerne un procédé d'adressage d'un écran plat, plus particulièrement un écran à cristaux liquides utilisant une précharge des pixels. La présente invention concerne aussi un circuit de commande des colonnes d'un tel écran permettant la mise en oeuvre du procédé ainsi que l'application du procédé aux écrans de grandes dimensions.

Les écrans à cristaux liquides à vision directe ou à projection sont en général composés de lignes (lignes de sélection) et de colonnes (lignes de données) aux intersections desquelles sont situées les électrodes de pixels connectées au travers de transistors à ces lignes. Les grilles de ces transistors forment les lignes de sélection et sont commandées par les circuits de commandes périphériques, généralement appelés "drivers" (en langue anglaise) qui balayent les lignes et rendent passant les transistors de chaque ligne en permettant, par les lignes de données connectées aux autres circuits de commandes périphériques, de charger les électrodes des pixels et modifier les propriétés optiques du cristal liquide compris entre ces électrodes et la contre-électrode (ou électrode de référence) permettant ainsi la formation d'images sur l'écran.

La figure 1 représente le schéma électrique équivalent d'un pixel d'écran plat adressé par des circuits de commande lignes et colonnes. L'électrode et la contre-électrode encadrant le cristal liquide forment une capacité 1 dont la charge (constituée le plus souvent par des données vidéo) est transmise par la colonne 2 au travers du transistor 3 commandé par la ligne de sélection 4. La figure 2 quant à elle représente les chronogrammes de fonctionnement de ce pixel, Vs étant le signal adressé par la ligne de sélection d'une rangée de pixels,

Vc le signal vidéo échantillonné sur la rangée de pixels sélectionnée et Vp la charge effective d'un de ces pixels. Théoriquement, à la fin d'une impulsion d'échantillonnage, la tension pixel Vp aux bornes du cristal liquide, devrait être égale à la tension colonne Vc, c'est à dire  $\pm V$ .

5 Le problème de ce type d'adressage est qu'en pratique, la tension Vp est différente de la tension de charge Vc de la colonne. En effet, chaque transistor 3, lorsqu'il est dans l'état passant, a une résistance Ron qui n'est pas nulle, de sorte que la charge du pixel présente une caractéristique exponentielle (comme cela est représenté  
10 sur la figure 2) de constante de temps qui n'est pas nulle puisque égale au produit  $R_{on} \times C$ , C étant la valeur de la capacité 1 du pixel. Lorsque le temps de charge est écoulé, l'erreur résiduelle de convergence est égale à  $V_{en+}$  en trame positive (valeur négative) ou  $V_{en-}$  en trame négative (valeur positive), différentes des valeurs  $\pm V$  de la tension de charge  
15 Vc.

Il en résulte une erreur sur la tension RMS qui oriente le cristal liquide de l'ordre de  $(V_{en+} - V_{en-})/2$ . Or, les spécifications électro-optiques de l'écran imposent une valeur maximale pour cette erreur de l'ordre de 5 à 10 mV pour un effet nématique en hélice à 90°. Le produit  
20 RC (résistance par capacité) doit donc être typiquement 7 à 8 fois plus faible que le temps d'adressage pour atteindre un taux de convergence compatible avec une application de qualité. Il en résulte des limites sur le nombre de lignes adressables ainsi que sur la taille des pixels. Dans ce cas, il faut diminuer R, c'est à dire élargir le transistor. Cela n'est pas  
25 réaliste au delà d'un rapport entre largeur et longueur du canal qui excède quelques unités. D'autre part, lorsque l'impulsion Vs appliquée sur la ligne de sélection revient à l'état bas (voir figure 2), le couplage parasite entre la ligne et le pixel devient excessif dans le cas où la largeur du transistor excède une certaine valeur.

30 Une autre solution connue est représentée à la figure 3. Dans ce cas, un écran 5 constitué de pixels 6 est adressé par un circuit de commande ligne 7 et un circuit de commande colonne 8 formé par des échantillonneurs commandés par un registre à décalage. La charge d'un échantillonneur n'est autre que la capacité répartie de la colonne

commandée 9. Cette colonne doit être chargée pendant un temps très court, avec les problèmes de convergence cités plus haut aggravés par le fait que le temps de charge n'est plus qu'une fraction du temps où l'on adresse une ligne 9. En effet, pendant ce temps ligne, il faut  
5 successivement échantillonner la vidéo sur toutes les colonnes de l'écran. Pour cette raison, la réalisation d'écrans à drivers intégrés a nécessité jusqu'à ce jour l'utilisation de semi-conducteur à haute mobilité, comme le silicium mono ou polycristallin.

10 Pour remédier aux inconvénients ci-dessus et permettre l'utilisation de transistors en couche mince réalisés en silicium, il est proposé notamment dans la demande PCT/FR94/16428, de réaliser une précharge des pixels à une tension inférieure à la tension utile. L'utilisation d'une telle tension présente un certain nombre  
15 d'inconvénients. Elle ne résout pas, en particulier, le problème de la convergence

La présente invention propose un nouveau procédé d'adressage permettant de remédier aux inconvénients mentionnés ci-dessus.

20 En conséquence, la présente invention a pour objet un procédé d'adressage d'un écran plat composé de lignes et de colonnes aux intersections desquelles sont situés des pixels, caractérisé en ce que, au début de chaque échantillonnage du signal vidéo à afficher sur l'écran, une tension ( $V_r$ ) supérieure à la gamme de tension utile ( $V$ ) est appliquée  
25 sur le pixel sélectionné pendant un temps  $t_r$ , puis la tension utile est échantillonnée pendant un temps  $t_s$ .

De préférence, la tension de précharge ( $V_r$ ) est choisie telle que  $V_{en+} = V_{en-}$  où  $V_{en+}$  et  $V_{en-}$  représentent l'erreur résiduelle respectivement en trame positive et en trame négative. Dans ce cas, la  
30 tension de précharge est obtenue par les formules suivantes :

$$V_{en+} = (V_r - V_+) \exp - \frac{ts}{\tau(V_g - V_t - V_+)}$$

$$\text{et } V_{en-} = (V_r - V_-) \exp - \frac{ts}{\tau(V_g - V_t - V_-)}$$

où  $V_g$  est la tension sur la grille du transistor pendant l'échantillonnage, et  $V_t$  sa tension de seuil.

5 La condition  $V_{en+} = V_{en-}$  s'écrit :

$$(V_r - V_t) = (V_r - V_-) \exp - ts \left( \frac{1}{\tau(V_g - V_t - V_-)} - \frac{1}{\tau(V_g - V_t - V_+)} \right)$$

$$\text{ou } \tau(V_g - V_t - V_-) = Ron(V_g - V_t - V_-) \times C$$

$$\text{et } Ron = \frac{1}{\mu Cox \frac{W}{L} (V_g - V_t - V_-)} \text{ donc } \tau(V) \text{ est de la forme } \frac{Cte}{V}$$

d'où :

$$(V_r - V_+) = (V_r - V_-) \exp - \frac{ts}{\tau(V_+ - V_-)}$$

soit :

$$V_r = V_+ + (V_+ - V_-) \frac{\exp - \frac{ts}{\tau(V_+ - V_-)}}{1 - \exp - \frac{ts}{\tau(V_+ - V_-)}}$$

La présente invention a aussi pour objet un circuit de  
 10 commande des colonnes d'un écran plat du type comprenant des  
 échantillonneurs commandés par les sorties d'un registre à décalage,  
 caractérisé en ce que chaque échantillonneur est constitué par trois  
 transistors de type MIS montés en parallèle de telle sorte que leur  
 première électrode soit connectée au signal vidéo et leur seconde  
 15 électrode à la colonne commandée, laquelle grille du premier transistor  
 étant connectée à une des sorties du registre à décalage et les grilles du

second et troisième transistors étant connectées à deux horloges choisies de telle sorte que les deux transistors sont activés, l'un pour réaliser la précharge des lignes paires, l'autre des lignes impaires.

- 5 Selon une autre caractéristique de l'invention, la tension des horloges appliquée sur le deuxième et troisième transistors est choisie de telle sorte que lorsqu'un transistor n'est pas utilisé pour la précharge, il reçoit sur sa grille une tension négative permettant ultérieurement de compenser les couplages capacitifs lorsque cette tension reviendra à zéro.

- 10 De préférence, les trois transistors sont identiques et sont des transistors réalisés en couche mince ou TFT. Cette solution permet de compenser des couplages capacitifs importants car les transistors utilisés pour réaliser des échantillonneurs sont gros. Elle permet de plus de répartir également le "stress" ou fatigue sur les trois transistors qui sont de même taille ce qui augmente la durée de vie des transistors.

- 15 La présente invention concerne aussi l'application du procédé d'adressage ci-dessus aux écrans de grande taille.

- La présente invention a donc pour objet un procédé d'adressage d'un écran plat comportant des lignes et des colonnes aux intersections desquelles sont situés des pixels, dans lequel X circuits de  
20 commande de lignes sont connectés chacun à Y lignes, caractérisé en ce que, pendant un temps  $t_r$ , on réalise la précharge des pixels se trouvant sur les lignes reliées au premier circuit de commande lignes, à une tension ( $V_r$ ) supérieure à la gamme de tension utile ( $V$ ), puis on échantillonne successivement les Y lignes et on recommence l'opération  
25 ci-dessus pour les X-1 circuits de commande restants.

- La présente invention a encore pour objet un procédé d'adressage d'un écran plat comportant des lignes et des colonnes aux intersections desquelles sont situés des pixels dans lequel X circuits de  
30 commande lignes sont connectés chacun à Y lignes, caractérisé en ce qu'on précharge simultanément la première ligne des X circuits de commande lignes à une tension  $V_r$  supérieure à la gamme de tension utile ( $V$ ) et l'on échantillonne ensuite successivement ladite ligne des X circuits de commande lignes et on recommence l'opération ci-dessus pour les Y-1 autres lignes de chacun des X circuits de commande ligne.

La présente invention sera mieux comprise et des avantages supplémentaires apparaîtront à la lecture de la description qui va suivre illustrée par les figures suivantes:

5       . la figure 1, déjà décrite, représente le schéma électrique équivalent d'un pixel d'un écran à cristaux liquides,

      . la figure 2, déjà décrite, représente les chronogrammes du fonctionnement du pixel de la figure 1,

      . la figure 3, déjà décrite, représente une structure connue d'un écran commandé par des circuits de commande lignes et colonnes,

10       . la figure 4 illustre un procédé d'adressage d'un écran à cristaux liquides selon la présente invention,

      . la figure 5 représente un mode de réalisation d'un circuit de commande colonne connu mettant en oeuvre le procédé d'adressage selon la présente invention,

15       . la figure 6 représente le chronogramme d'un circuit de commande colonne selon la figure 5,

      . la figure 7 représente un mode de réalisation préférentiel d'un circuit de commande colonne mettant en oeuvre le procédé selon la présente invention,

20       . la figure 8 représente le chronogramme de fonctionnement du circuit de commande colonne de la figure 7, et

      . la figure 9 représente schématiquement une partie d'un écran plat de grandes dimensions connecté à des circuits de commande lignes et colonnes utilisant le procédé de la présente invention.

25

Comme cela est représenté sur la figure 4, pendant un temps de remise à zéro  $t_r$  (ou temps de "reset"), on échantillonne sur la charge une tension  $V_r$  supérieure à la tension utile et on échantillonne pendant un temps  $t_s$  la tension utile (comprise entre  $+V$  et  $-V$ ). Puisque l'on cherche à atteindre la tension utile (entre  $+V$  et  $-V$ ) à partir d'une valeur de tension supérieure, l'erreur résiduelle de convergence est toujours de même signe et égale à  $(V_{en} + -V_{en})/2$ , ce qui minimise l'erreur sur la tension RMS.

30

- Dans le cas où les transistors de pixels sont réalisés en silicium amorphe (a-Si) et ont une tension de seuil de quelques volts, il existe une tension de précharge  $V_r$  telle que les erreurs de convergence  $V_{en+}$  et  $V_{en-}$  pour atteindre les deux extrêmes de la gamme de tension utile (+V, -V) sont égales ( $V_{en+} = -V_{en-}$ ). L'erreur sur la tension RMS est alors nulle. Cette tension  $V_r$  peut être obtenue en utilisant la formule ci-après :

$$V_{en+} = (V_r - V_+) \exp - \frac{ts}{\tau(V_g - V_t - V_+)}$$

$$\text{et } V_{en-} = (V_r - V_-) \exp - \frac{ts}{\tau(V_g - V_t - V_-)}$$

- 10 où  $V_g$  est la tension sur la grille du transistor pendant l'échantillonnage, et  $V_t$  sa tension de seuil.

La condition  $V_{en+} = V_{en-}$  s'écrit :

$$(V_r - V_t) = (V_r - V_-) \exp - ts \left( \frac{1}{\tau(V_g - V_t - V_-)} - \frac{1}{\tau(V_g - V_t - V_+)} \right)$$

$$\text{ou } \tau(V_g - V_t - V_-) = Ron(V_g - V_t - V_-) \times C$$

$$\text{et } Ron = \frac{1}{\mu Cox \frac{W}{L} (V_g - V_t - V_-)} \text{ donc } \tau(V) \text{ est de la forme } \frac{Cte}{V}$$

d'où :

$$(V_r - V_+) = (V_r - V_-) \exp - \frac{ts}{\tau(V_+ - V_-)}$$

soit :

$$V_r = V_+ (V_+ - V_-) \frac{\exp - \frac{ts}{\tau(V_+ - V_-)}}{1 - \exp - \frac{ts}{\tau(V_+ - V_-)}}$$



La figure 5 représente un exemple de réalisation d'un circuit de commande colonnes d'un écran permettant la mise en oeuvre du procédé selon l'invention. Ce circuit de commande est formé de transistors réalisés en silicium amorphe. Ce circuit de commande 11 est, de préférence, constitué de plusieurs entrées vidéo fonctionnant en parallèle pour réduire d'autant la fréquence de démultiplexage. Dans l'exemple volontairement simplifié de la figure 5, le circuit de commande colonnes comporte cinq entrées vidéo DB1 à DB5 et six entrées de signaux de démultiplexage DW1 à DW6, ce qui permet de charger trente colonnes 12. Chaque colonne 12 est commandée par un seul transistor 13 qui sert successivement à la précharge pour atteindre la tension  $V_r$  pendant le temps  $t_r$ , et à la convergence vers la valeur de tension vidéo qui convient.

La figure 6 représente le chronogramme de fonctionnement de l'écran de la figure 5 lors de son utilisation selon le procédé de l'invention. Pendant le temps  $t_r$ , une tension  $V_r$  supérieure à la tension utile est appliquée sur toutes les colonnes via les signaux DW1 à DW6. Ensuite, les entrées DW1 à DW6 sont sélectionnées successivement, comme représenté par DW1 à DW6, pour chaque signal DB1 à DB5, la tension utile est échantillonnée durant  $t_s$ .

La figure 7 représente une réalisation préférentielle d'un circuit de commande de colonnes mettant en oeuvre le présente invention. Dans ce cas, chaque échantillonneur est constitué par trois transistors 16, 17 et 18 qui sont de préférence identiques et montés en parallèle. Comme représenté clairement sur la figure 7, les premières électrodes ou drains des trois transistors 16, 17 et 18 reçoivent le signal vidéo d'entrée 14 tandis que leur seconde électrode ou source charge la colonne 15 à commander. D'autre part, la grille du transistor 16 est connectée en sortie d'un registre à décalage et reçoit un signal de démultiplexage 19 tandis que les grilles 20 et 21 des deux autres transistors 17 et 18 sont connectées à deux horloges qui sont décrites plus en détail ci-après. L'utilisation des trois transistors permet de compenser les couplages capacitifs qui sont importants avec un seul gros transistor et de répartir le stress sur les transistors, ce qui allonge la durée de vie.

La figure 8 représente le chronogramme d'un circuit de commande lignes du type de celui de la figure 7. Les valeurs numériques ne sont données qu'à titre d'exemple. En fait, les signaux d'horloges appliqués sur les transistors 17 et 18 sont tels que l'un des transistors

5 réalise la précharge des lignes impaires tandis que l'autre réalise la précharge des lignes paires. De plus, lorsque l'un des transistors, par exemple le transistor 17, reçoit sur la grille 20 une impulsion de précharge pendant un temps  $t_r$ , l'autre transistor 18 reçoit sur sa grille 21 une impulsion négative de, par exemple -22V jusqu'à la fin du temps

10 lignes, de façon à pouvoir en fin de temps ligne venir compenser le couplage du transistor de convergence grâce à une impulsion positive sur l'électrode de commande, 21. La grille du transistor 16 recevra une impulsion de durée  $T_s$  de manière à réaliser la convergence. La précharge prend approximativement deux fois plus de temps ( $2\mu\text{sec}$ ) que la

15 convergence ( $0,9\mu\text{sec}$ ), de sorte que le rapport cyclique de fonctionnement des trois transistors est équivalent, ce qui répartit équitablement le stress.

Dans le cas d'un écran à très grand nombre de lignes ou à très grand nombre de pixels élémentaires, le transistor est sous-dimensionné

20 pour éviter d'avoir des capacités de couplage trop importantes. Le schéma de base peut être du type de celui de la figure 1. Pour améliorer le fonctionnement d'un tel écran dans lequel, soit le transistor est trop petit pour charger correctement le pixel de façon classique, soit le nombre de lignes est tellement élevé que l'on ne dispose que de très peu

25 de temps pour la charge, on peut aussi utiliser un schéma de fonctionnement avec une précharge du type de la figure 4.

Dans ce cas, on travaille de préférence par paquets de lignes. Ainsi, comme représenté sur la figure 9, qui concerne un écran dont le circuit de commande colonnes est identique au circuit de la figure 5 et

30 où les lignes sont groupées par cinq, chaque groupe étant commandé par un registre lignes R1, R2, R3 ... pour des paquets de cinq lignes, on fait tout d'abord une précharge simultanée sur les lignes L1 à L5, puis on échantillonne séquentiellement ces mêmes lignes L1 à L5. Ensuite, on fait une précharge simultanée des lignes L6 à L10, etc. Ce mode de

fonctionnement n'est pas compatible avec les circuits de commande habituels (commande de cinq lignes à la fois). Il nécessite donc une électronique particulière.

On peut aussi si l'écran utilise par exemple cinq circuits de commande lignes, tels que R1, R2, R3, ..., pour six cents lignes, charger  
5 simultanément ces cinq circuits de commande, et on utilise la fonction souvent présente de "output enable" pour gérer successivement la précharge simultanée pour cinq lignes, telles que les cinq premières lignes L1, L6, L11 dans le mode de réalisation de la figure 9,  
10 commandées par ces cinq circuits R1, R2 ..., puis l'adressage successif de ces cinq lignes. Toutefois, cette solution nécessite une mémoire de trame pour pouvoir stocker et donc reconstituer l'image vidéo.

Dans tous les cas, la précharge est réalisée en utilisant une tension  $V_r$  supérieure à la tension utile  $V + /V -$ .

15

La présente invention s'applique en particulier aux écrans plats à cristaux liquides commandés par une matrice active de transistors (AMLCD) en couches minces, et en général à toute application nécessitant un échantillonneur dont la précision relative est plus  
20 importante que la précision absolue.

## REVENDICATIONS

1. Procédé d'adressage d'un écran plat composé de lignes et de colonnes aux intersections desquelles sont situés des pixels, caractérisé en ce qu'au début de chaque échantillonnage du signal vidéo à afficher sur l'écran une tension ( $V_r$ ) supérieure à la gamme de tension utile ( $V$ ) est appliquée sur le pixel sélectionné pendant un temps  $t_r$ , puis la tension utile est échantillonnée pendant un temps  $t_s$ .

2. Procédé selon la revendication 1, caractérisé en ce que la tension de précharge ( $V_r$ ) est choisie telle que  $V_{en+} = V_{en-}$  où  $V_{en+}$  et  $V_{en-}$  représentent l'erreur résiduelle respectivement en trame positive et en trame négative.

3. Procédé selon la revendication 3, caractérisé en ce que la tension de précharge est obtenue par la formule suivante :

$$V_{en+} = (V_r - V_+) \exp - \frac{t_s}{\tau(V_g - V_t - V_+)}$$

$$\text{et } V_{en-} = (V_r - V_-) \exp - \frac{t_s}{\tau(V_g - V_t - V_-)}$$

où  $V_g$  est la tension sur la grille du transistor pendant l'échantillonnage, et  $V_t$  sa tension de seuil.

La condition  $V_{en+} = V_{en-}$  s'écrit :

$$(V_r - V_t) = (V_r - V_-) \exp - ts \left( \frac{1}{\tau(V_g - V_t - V_-)} - \frac{1}{\tau(V_g - V_t - V_+)} \right)$$

$$\text{ou } \tau(V_g - V_t - V_-) = R_{on}(V_g - V_t - V_-) \times C$$

$$\text{et } R_{on} = \frac{1}{\mu C_{ox} \frac{W}{L} (V_g - V_t - V_-)} \text{ donc } \tau(V) \text{ est de la forme } \frac{Cte}{V}$$

d'où :

$$(V_r - V_+) = (V_r - V_-) \exp - \frac{ts}{\tau(V_+ - V_-)}$$

soit :

$$V_r = V_+ + (V_- - V_+) \frac{\exp - \frac{ts}{\tau(V_+ - V_-)}}{1 - \exp - \frac{ts}{\tau(V_+ - V_-)}}$$

4. Circuit de commande des colonnes d'un écran plat du type comprenant des échantillonneurs commandés par les sorties d'un registre à décalage permettant la mise en oeuvre du procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que chaque échantillonneur est constitué par trois transistors (16, 17, 18) de type MIS montés en parallèle de telle sorte que leur première électrode soit connectée au signal vidéo (14) et leur seconde électrode à la colonne commandée (15), laquelle grille (19) du premier transistor étant connectée à une des sorties du registre à décalage et les grilles (20, 21) du second et troisième transistors étant connectées à deux horloges choisies de telle sorte que les deux transistors sont activés, l'un pour réaliser la précharge des trames paires, l'autre des trames impaires.

15

5. Circuit selon la revendication 4, caractérisé en ce que la tension des horloges appliquée sur le deuxième et troisième transistors est choisie de telle sorte que lorsqu'un transistor n'est pas utilisé pour la précharge, il reçoit sur sa grille une tension négative permettant de

compenser les couplages capacitifs, à la remontée ultérieure de sa tension de grille.

6. Circuit selon l'une quelconque des revendications 4 et 5, caractérisé en ce que les trois transistors sont identiques.

7. Circuit selon l'une quelconque des revendications 4 à 6, caractérisé en ce que les trois transistors sont réalisés en couche mince.

10 8. Procédé d'adressage d'un écran plat comportant des lignes et des colonnes aux intersections desquelles sont situés des pixels, dans lequel X circuits de commande de lignes sont connectés chacun à Y lignes, caractérisé en ce que, pendant un temps  $t_r$ , on réalise la précharge des pixels se trouvant sur les lignes reliées au premier circuit  
15 de commande lignes, à une tension ( $V_r$ ) supérieure à la gamme de tension utile ( $V$ ), puis on échantillonne successivement les Y lignes et on recommence l'opération ci-dessus pour les X-1 circuits de commande restants.

20 9. Procédé d'adressage d'un écran plat comportant des lignes et des colonnes aux intersections desquelles sont situés des pixels dans lequel X circuits de commande lignes sont connectés chacun à Y lignes, caractérisé en ce qu'on précharge la première ligne de chacun des X circuits de commande lignes à une tension  $V_r$  supérieure à la gamme de  
25 tension utile ( $V$ ) et l'on échantillonne successivement ladite ligne des X circuits de commande lignes et on recommence l'opération ci-dessus pour les Y-1 autres lignes.

1/5

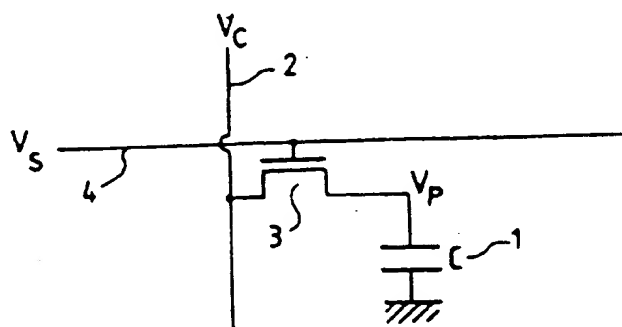


FIG.1 ART ANTÉRIEUR

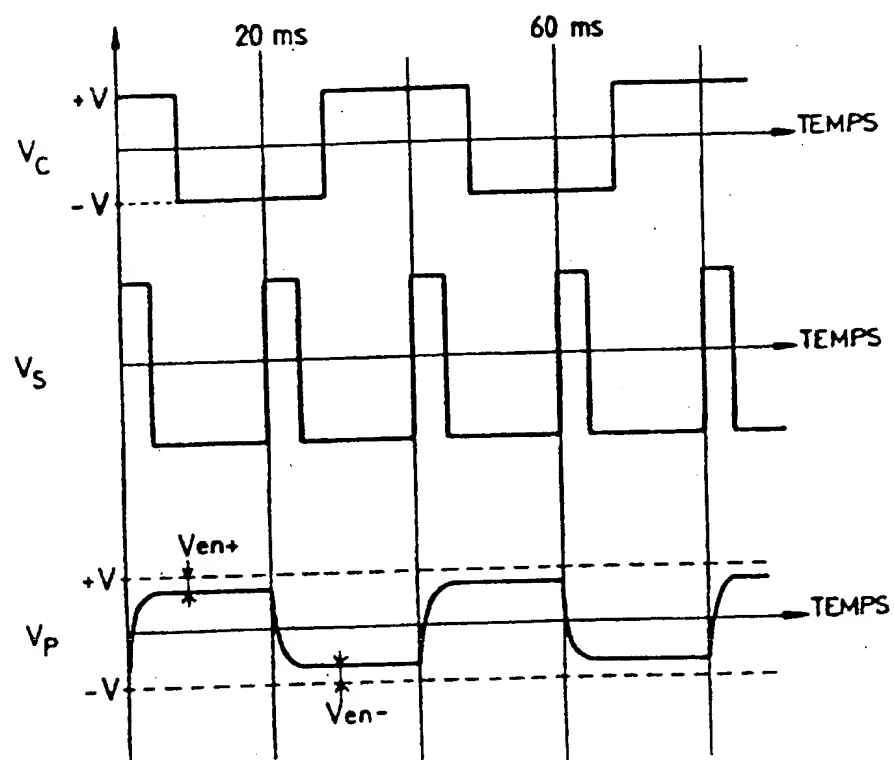


FIG.2 ART ANTÉRIEUR

2/5

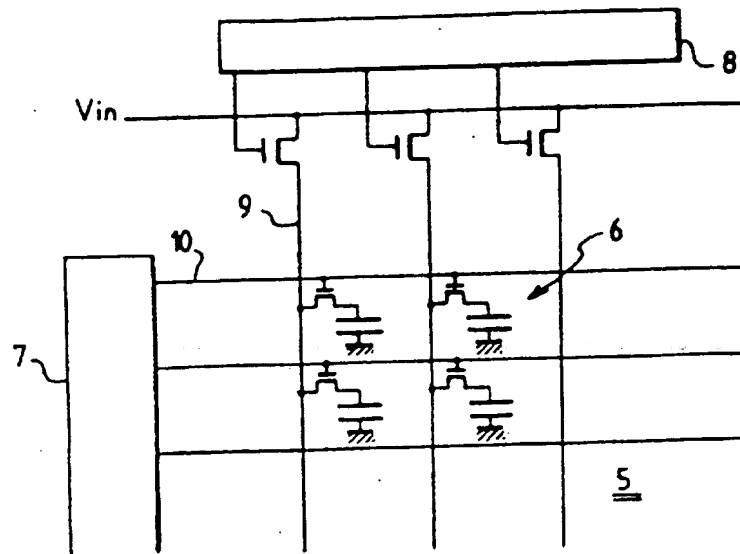


FIG. 3 ART ANTÉRIEUR

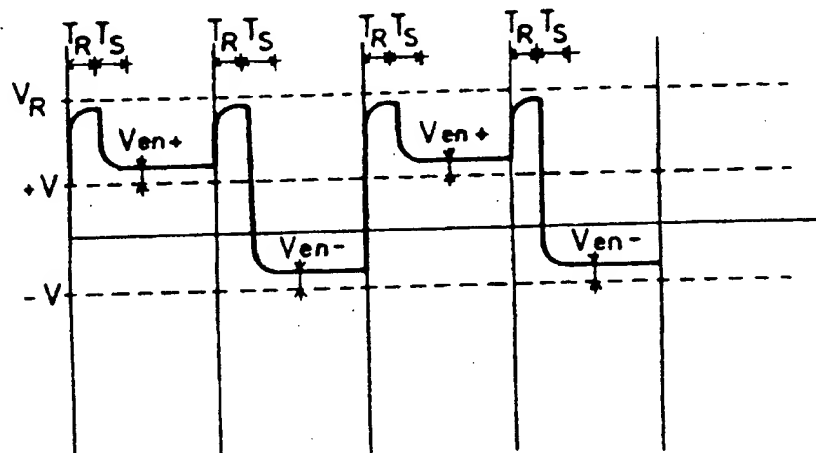


FIG. 4



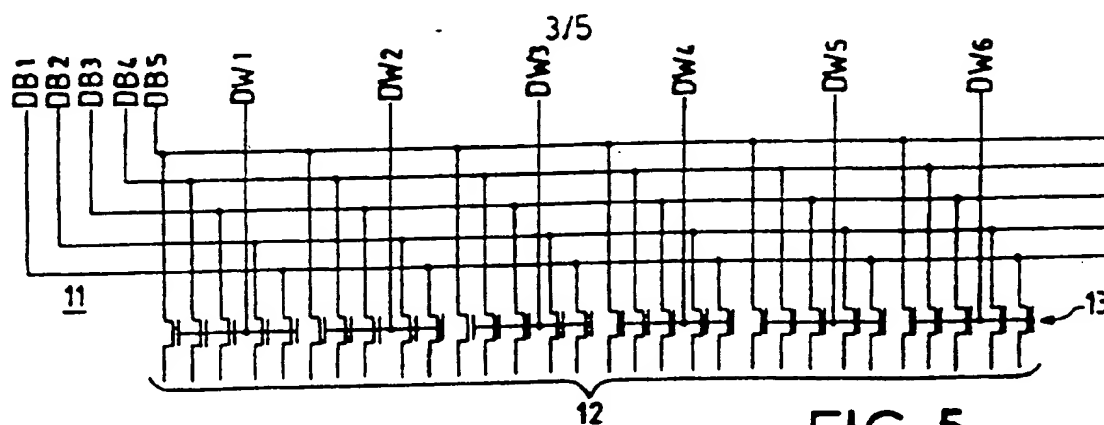


FIG. 5

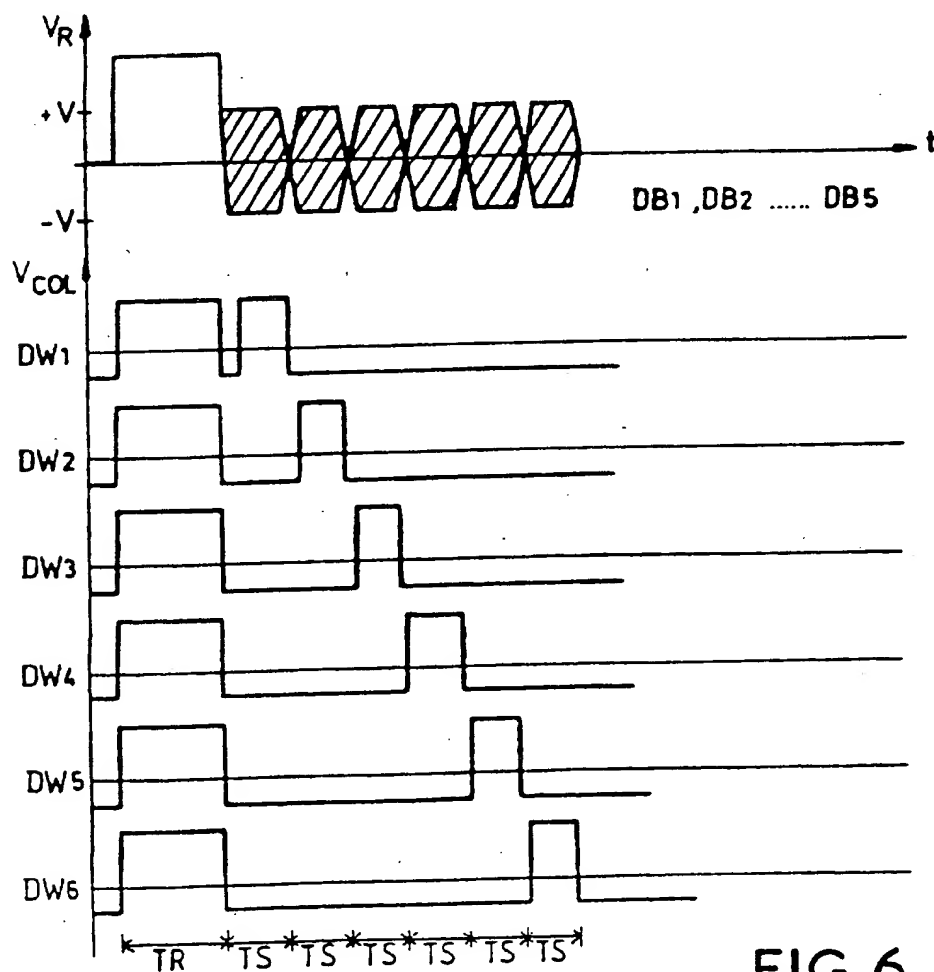


FIG. 6

4/5

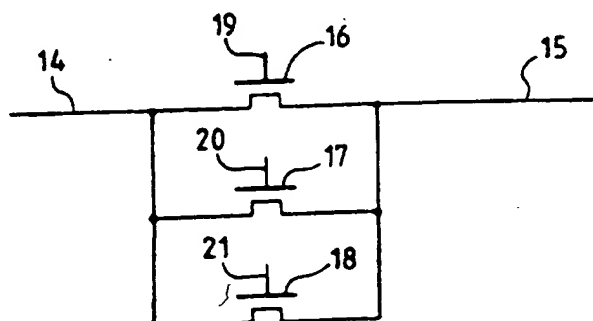


FIG. 7

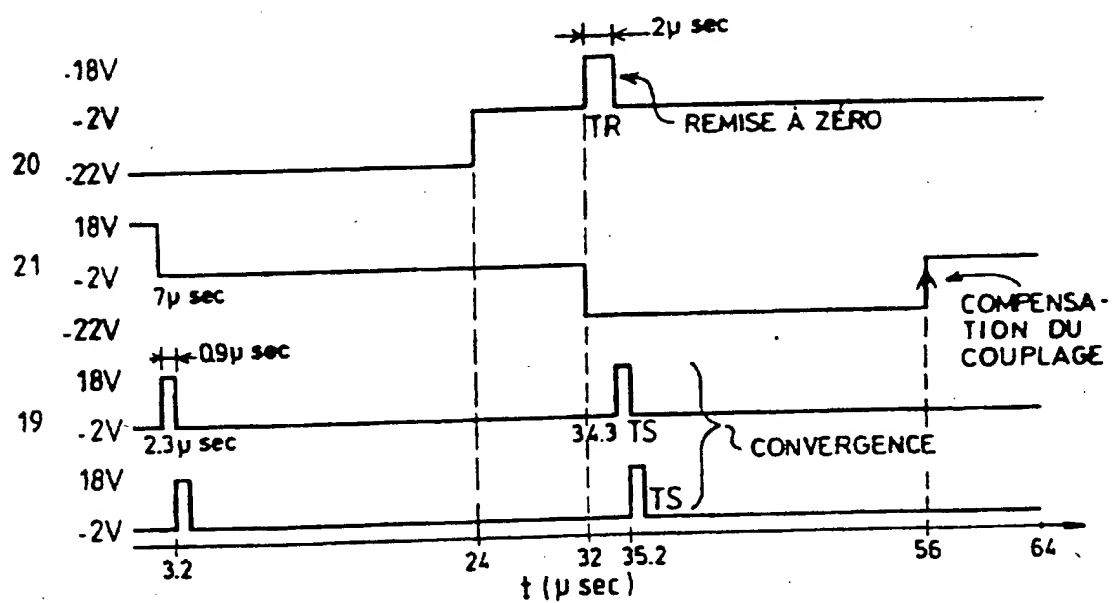


FIG. 8

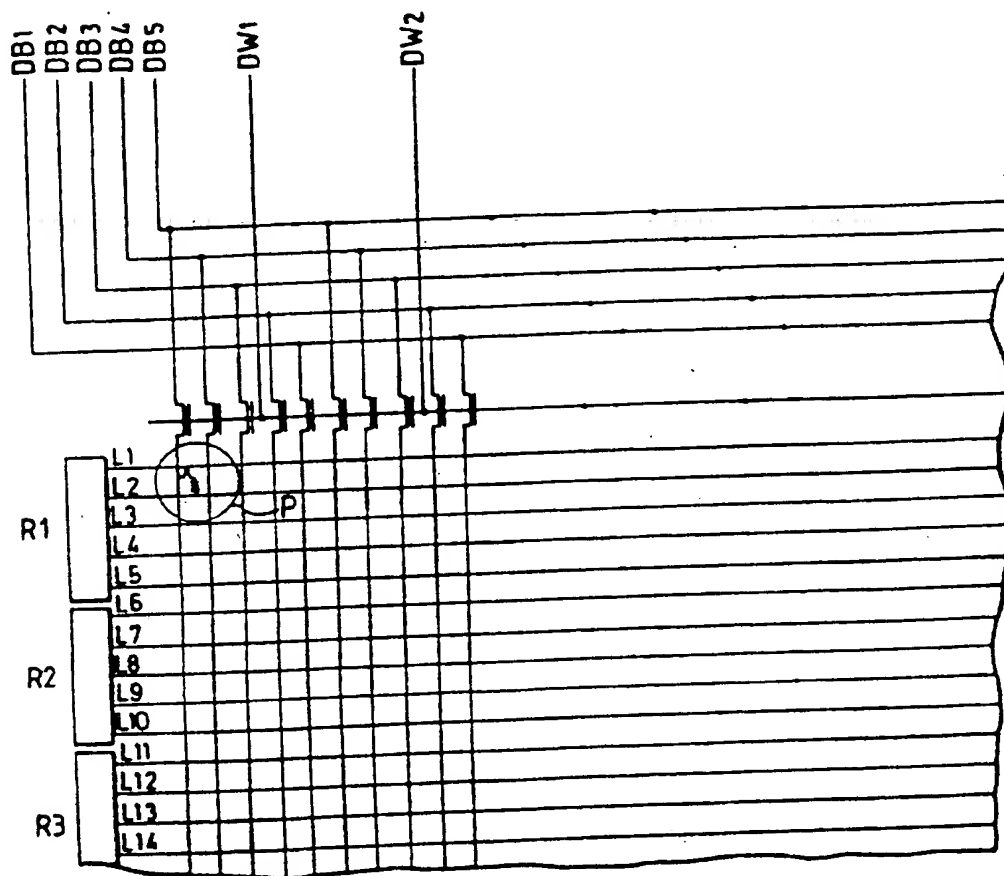


FIG. 9

# INTERNATIONAL SEARCH REPORT

In. tional Application No  
PCT/FR 97/00039

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 6 G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 6 G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 94 16428 A (YUEN FOONG YU H.K. CO. LTD.) 21 July 1994 cited in the application voir Abrégé see page 5, line 36 - page 7, line 28; figures 2-5 see page 9, line 23 - page 11, line 18 see page 13, line 11 - line 17 ---	1,8
A	EP 0 678 849 A (SONY CO.) 25 October 1995 voir Abrégé see column 4, line 22 - column 6, line 50; figures 1,2 ---	1
X,P	EP 0 737 957 A (SONY CO.) 16 October 1996 voir Abrégé see column 6, line 9 - column 8, line 11; figures 1-3 -----	1

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

### \* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- \*A\* document member of the same patent family

Date of the actual completion of the international search

26 March 1997

Date of mailing of the international search report

10. 04. 97

Name and mailing address of the ISA  
European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Corsi, F

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No  
PCT/FR 97/00039

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9416428 A	21-07-94	US 5510807 A	23-04-96
		AU 672082 B	19-09-96
		AU 5712994 A	15-08-94
		BR 9406255 A	09-01-96
		CA 2150454 A	21-07-94
		CN 1116454 A	07-02-96
		EP 0678210 A	25-10-95
		JP 7104703 A	21-04-95
EP 678849 A	25-10-95	JP 7295521 A	10-11-95
EP 737957 A	16-10-96	JP 8286639 A	01-11-96

# RAPPORT DE RECHERCHE INTERNATIONALE

De. de Internationale No  
PCT/FR 97/00039

A. CLASSEMENT DE L'OBJET DE LA DEMANDE  
CIB 6 G09G3/36

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)  
CIB 6 G09G

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)

## C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	WO 94 16428 A (YUEN FOONG YU H.K. CO. LTD.) 21 Juillet 1994 cité dans la demande voir Abrégé voir page 5, ligne 36 - page 7, ligne 28; figures 2-5 voir page 9, ligne 23 - page 11, ligne 18 voir page 13, ligne 11 - ligne 17	1,8
A	EP 0 678 849 A (SONY CO.) 25 Octobre 1995 voir Abrégé voir colonne 4, ligne 22 - colonne 6, ligne 50; figures 1,2	1
X,P	EP 0 737 957 A (SONY CO.) 16 Octobre 1996 voir Abrégé voir colonne 6, ligne 9 - colonne 8, ligne 11; figures 1-3	1

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

\* Catégories spéciales de documents cités:

- \*A\* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- \*E\* document antérieur, mais publié à la date de dépôt international ou après cette date
- \*L\* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- \*O\* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- \*P\* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- \*T\* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- \*X\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- \*Y\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- \*Z\* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

26 Mars 1997

Date d'expédition du présent rapport de recherche internationale

10. 04. 97

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+ 31-70) 340-3016

Fonctionnaire autorisé

Corsi, F

# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

De .de Internationale No

PCT/FR 97/00039

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 9416428 A	21-07-94	US 5510807 A	23-04-96
		AU 672082 B	19-09-96
		AU 5712994 A	15-08-94
		BR 9406255 A	09-01-96
		CA 2150454 A	21-07-94
		CN 1116454 A	07-02-96
		EP 0678210 A	25-10-95
		JP 7104703 A	21-04-95
EP 678849 A	25-10-95	JP 7295521 A	10-11-95
EP 737957 A	16-10-96	JP 8286639 A	01-11-96

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**